

一种基于一维 SIMD PE 阵列的控制器设计

王 光¹, 王乾坤²

(1 西安文理学院, 陕西 西安 710065; 2 西安理工大学, 陕西 西安 710048)

摘 要: 提出了一种基于 PIM 并行计算机体系结构的一维多媒体处理 SIMD 阵列, 实现了基于该阵列的控制器, 给出了该控制器的主要部件和指令格式, 介绍了 PE 阵列控制; 最后, 给出了基于该体系结构的指令执行仿真结果。

关键词: 数据并行; 计算机体系结构; 控制器; 指令格式;

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)04-0034-03

A Controller Design Based on One Dimensional SIMD Array

WANG Guang¹, WANG Qian-kun²

(1 Xi'an University of Arts and Science, Xi'an 710065, China;

2 Xi'an University of Technology, Xi'an 710048, China)

Abstract: One dimensional SIMD array which is PIM-based data parallel computer architectural has been proposed for multimedia processing application. It is described to implement a new controller for one dimensional SIMD array. The main components of the controller and the instruction format are presented. PE array control is introduced in detail. Finally, the results of simulation are given to show the execution of instruction by the proposed processor.

Key words: data parallel; computer architecture; controller; instruction format;

1 引言

传统的单处理器体系结构很难满足众多领域大规模并行计算的需求, 多处理器并行体系结构已成为研究热点. 为了使 PIM^[1] 技术发挥更大的优势, 一些新方法被相继引入到并行计算体系结构中. 目前, 不同领域已经提出了很多基于 PIM 的体系结构, 例如 IRAM, HTMT, FlexRAM 以及 DI-VA 等.

论文工作主要针对基于 PIM 技术的一维 SIMD 阵列处理器的控制器进行设计, 从而可以在多媒体处理^[2] 等一些数据密集处理中, 有效降低存储器访问延迟, 增加数据带宽. 如图 1 所示, 基于 PIM 技术的并行计算机包括 Host 主处理器和 PIM 协处理器, 而 PIM 协处理器包含 PE/DRAM 阵列和用于产生 PE 操作所需控制信号的控制器.

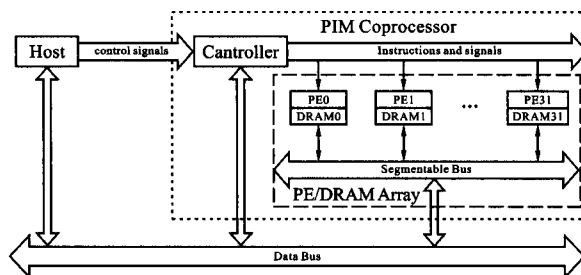


图 1 基于 PIM 的并行计算机体系结构

2 指令格式

在哈佛体系结构模型中, 指令长度和数据宽度并不相关, 例如指令长度 32 位, 数据宽度可以是 16 位, 而进行图像处理的数据宽度通常是 8~12 位^[3].

指令通常分为 ALU 指令、传送指令、访存指令三种, 可配置总线 (Segmentable Bus) 对指令进行配置和控制^[4]. 指令还可以进一步分类为 PE 阵列指令和控制指令. 指令寻址模式包含五类: 寄存器寻

收稿日期: 2012-07-11; 修回日期: 2012-08-12

基金项目: 陕西省自然科学基金项目 (2010JM8042); 陕西省教育厅科研计划项目 (2010JK795)

址、立即数寻址、偏移量寻址、相对寻址和存储器寻址。我们采用的体系结构中,存储器寻址有两种:一是内部 DRAM 访问,即 PE 节点只访问其专用 DRAM 存储器;二是外部 DRAM 访问,即 Host 主处理器读写外存中所有数据。

一维 SIMD 阵列处理器指令体系结构,改善了 SISD 计算机指令体系结构和 PE 阵列间的计算指令,而其指令格式也在 SIRC 微处理器指令格式基础上得到改善。如图 2 所示,指令格式包含四种类型。

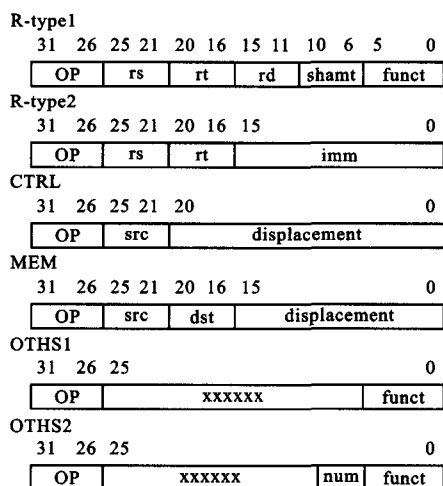


图2 指令格式

第一种是 R-type 类型指令格式,主要进行 PE 阵列间的算术、逻辑、比较和移位操作;第二种是 CTRL 类型指令格式,主要用于无条件传送、返回、循环以及 PE 路由器和寄存器之间传送数据的控制指令;第三种是 MEM-type 类型指令格式,用于为 SIMD 阵列存储器传送数据,以及在 PE 寄存器和 DRAM 之间交换数据。第四种是 OTHS-type 类型指令格式,也包含两种:一种用于在可配置总线和路由器之间传送数据,另一种用于连接东西端口和数据端口之间的 PE。

3 控制器设计

类似于其它的 SIMD 处理器^[5-6],本文的控制器用于将微指令转换成控制信号、配置阵列连接以及进行 I/O 操作。如图 3 所示,控制器包含控制单元、数据通路和 PC 逻辑。

(1) 控制单元 (CU)

控制单元从指令存储器中读取指令。一旦一条指令完成译码,PC 信号将被立即送往 PC 逻辑,而数据和控制信号通过全局总线被送到 PE 中。

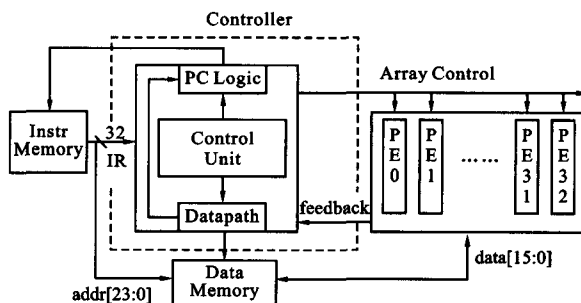


图3 控制器结构(虚线框)

IR 是 32 位的指令寄存器。控制单元根据指令的操作码域(IR[31:26])和功能域(IR[5:0])译码产生控制信号。绝大部分控制信息来自操作码域,但 R-type 类型的指令也根据功能域来确定控制器和 PE 的 ALU 操作。图 4 给出控制单元设计。

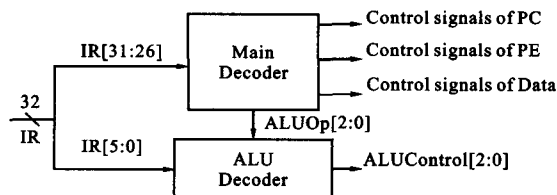


图4 控制单元

(2) 数据通路

数据通路中包含一个控制 ALU。由于阵列处理器是在 PE 阵列中处理图像和视频数据,所以控制 ALU 只进行一些简单的加减乘除操作,例如计算跳转指令的地址和循环次数。数据通路还包括 16 个 32 位寄存器,其中 Rf0 是零寄存器,Rf1-Rf14 是通用寄存器,用于存储计算结果、传输地址和循环次数,Rf15 用于保存子程序的返回地址。

(3) PC 逻辑

PC 逻辑通过两个多路选择器产生送往 PC 的新值,两个多路选择器的控制信号分别为 PCSrc (PCSrc = Blink || (Branch & Loop)) 和 Return。当执行 Blink 或 Loop 指令时,PCSrc=1,Return=0,并送一个新值给 PC(由于 PC 是字对齐的,所以最低两位总是 0,紧接着的 26 位来自跳转地址域 IR[25:0],最高 4 位来自 PC 的原值);当执行返回指令时,Return=1,而 PCReturn 被送往下一个 PC 并保存在 Rf15 中。图 5 给出了 PC 逻辑。

(4) PE 阵列控制

PE 通过译码器提供的控制信号对数据进行传送和计算。图像数据被送到 PE 的 DRAM 之后,ALU 进行算术、逻辑、比较或移位等操作,操作结果被保存到 Host 存储器中。由于 PE 的局部存储器和 Host

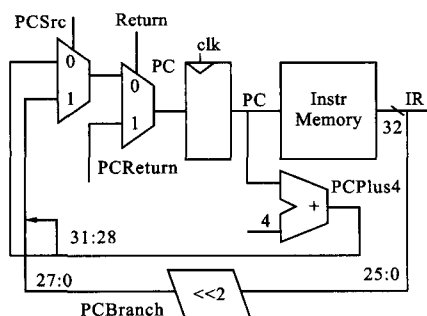


图 5 PC 逻辑

的全局存储器是独立编址的,所以,可以通过 PE_broadcast、Dram_we、Dram_re 等数据控制信号,在 Host 存储器与 PE 阵列的 DRAM 之间交换数据。其中,PE_broadcast 控制 Host 对 PE 阵列广播数据,Dram_we 控制写数据到 PE 阵列,而 Dram_re 控制写数据到 Host 存储器。

PE_regwrite、PE_regdst、PE_alusrc 和 PE_aluop 等控制信号,可以控制所有 PE 同步地进行算术、逻辑、比较和移位等操作。其中,PE_regwrite 和 PE_regdst 用来决定操作结果写到哪个通用寄存器中;PE_alusrc 用来控制 PE 中 ALU 的操作数选择(当 PE_alusrc=1 时操作数为立即数);PE_alop 用来控制每 PE ALU 的具体操作。

如图 6 所示,可配置总线用于在 PE 之间传送数据,其中,PE 的控制信号 L_read/L_write(R_read/R_write) 分别代表路由器模块上左(右)部件端口的读/写操作。这些信号与 L_con/R_con 一起实现路由器模块中两个数据端口之间的 I/O 操作。由 LR_insidecon 信号表示的内部开关用于控制 PE 的操作。

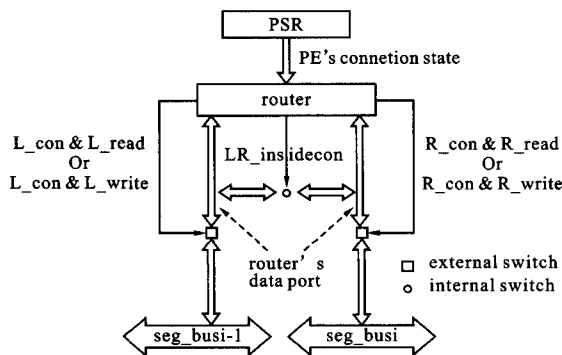


图 6 路由器和可配置总线的内在关系

4 仿真结果

在 Xilinx DNV6_F2PCIe 开发板上实现了该一维 SIMD 阵列处理器,用 Xilinx ISE Design Suite 12.3 直接进行门级设计,并在 Xilinx ISE 模拟器上

对结果进行模拟仿真。

指令存储器是利用 Xilinx IP 核(Block Memory Generator 4.3)实现的。为了简化测试,我们将汇编程序转换成机器代码保存为 coe 文件,并用 coe 文件初始化指令存储器。这里,汇编程序用于评估控制器性能,包括执行子程序、加载 DRAM 数据以及控制可配置总线三部分。

5 结束语

文中基于 PIM 技术实现了一维 PE 阵列处理器,并设计实现了对 PC 逻辑、数据传送和 PE 阵列进行控制的控制器。通过控制器生成的控制信号,PE 阵列可以进行图像和视频处理中的一些特定操作。在 FPGA 上实现了该体系结构,并对基本模块进行了设计和测试。仿真结果表明了控制器设计的正确性。将对处理器流水线进行研究,这对改善基于 PIM 的并行计算体系结构数据通路非常关键。

参考文献:

- [1] Gokhale M, Holmes B, Iobst K. Processing in memory: the terasys massively parallel PIM array[J]. IEEE Computer, 1995, 28(4): 23-31.
- [2] Jasionowski B J, Lay M K, Margala M. A processor-in-memory architecture for multimedia compression[J]. IEEE Trans. Very Large Scale Integr. Syst., 2007, 15(4): 478-483.
- [3] Zhou Guochang, Zhong Wang, Che Deliang, et al. The improved design of embedded SIMD coprocessor[J]. Computer Engineering and Applications, 2004, 40(31): 13-16.
- [4] Chen Chaoyang, Wang Zhong, Shen Xubang. The LS MPP parallel image processor[J]. Chinese J. Computers, 2002, 25(3): 292-296.
- [5] Wu Song, Zhang Yong, Yao Qingdong. Research on embedded SIMD array controller core[J]. Journal of Zhejiang University, 2001, 35(2): 147-151.
- [6] Jian Wang, Joar Sohl, Olof Kraigher, et al. Software programmable data allocation in multi-bank memory of SIMD processors[J]. 2010 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools, France: Lille, 2010: 28-33.

作者简介:

王光 (1973-), 博士, 副教授。研究方向为计算机系统结构。